

## 壓電薄膜加速度微感測元件之製程規劃與研究

李幸峰 余志成\*

國立台灣科技大學 機械工程研究所

國科會補助編號：NSC 89-2218-E-011-039

### 摘要

本文探討壓電薄膜微加速度計之微結構及元件製程規劃及試製，所分析的微加速度計採四根對稱懸樑支撐島狀質塊。製程結合材料鍍膜表面微細加工及立體微細加工。文中針對各相關製程，逐一進行試製與參數調校，以掌握設計與製程的關聯性。首先在 Si/Si<sub>3</sub>N<sub>4</sub> 鍍上 Ti/TiN/Pt 層積薄膜，應用掀去法作出下電極，並採用 Sol-Gel 方式來製備錳酸鋇鏽(LSMO)及鈦鉛酸鉛(PZT)薄膜，將錳酸鋇鏽與 Pt 形成雙電極形式，並利用硝酸及 B.O.E.分別蝕刻出下電極圖形及壓電薄膜圖形，最後將錳酸鋇鏽及 Ti/Pt 鍍上，利用掀去法及硝酸蝕刻出上電極圖形，完成 Si/Si<sub>3</sub>N<sub>4</sub>/Ti/TiN/Pt/LSMO/PZT/LSMO/Ti/Pt 壓電薄膜轉換元件。在矽加工部份是利用氫氧化鉀(KOH)蝕刻矽來達到所需島狀結構，再利用 RIE 蝕刻出四根懸樑部份，文中並探討適當補償方式來避免底切發生，並與 IntelliSuite 蝕刻模擬軟體作相互比對，作為光罩補償設計的參考。本研究完成了感測元件的結構製作，及薄膜材料電性量測，並分析結構幾何參數的製造誤差。

**關鍵字：**微細加工、錳酸鋇鏽、角落補償、Sol-Gel、IntelliSuite

### 背景與目的

隨著科技的日益精進，各類的商品也逐漸趨向微小化且多功能，微機電系統(Micro Electro Mechanical System, MEMS)的研發也因此日益受到學術與業界的重視。微感測器是微機電系統中最基本的元件之一，大部份的微感測元件係利用矽的微細加工(Silicon micromachining)技術在矽晶圓(Silicon wafer)上製作出三次元的微結構，再將這些微結構及具有換能功能的材料(如壓電薄膜)與微電子電路整合在同一晶片上，即可製作成微型的感測器。由於微感測器的製程技術基本上與一般積體電路製程相似，適於大量製造以降低成本。

典型加速度微感測器可略分成壓阻式(Piezoresistive) [1]、電容式(Capacitive) [2]及壓電式(Piezoelectric) [3]等三種。其中壓電式加速度微感測器之感測原理係利用壓電材料的壓電效應來感測加速度之大小，壓電式加速度計主要的優勢在於具有極佳動態性能，其訊號會比電容式及電阻式等大且較為線性，因其具有較高的自然頻率，所以具有較寬的頻率響應 [4]。

在加速度計的製作方面，多數文獻集中在電容式加速度計及壓阻式加速計的研究，但對於壓電薄膜式加速度計製作方面的探討則較為缺乏。壓電薄膜微加速度計的製作主要是搭配薄膜製程與應用表面微細加工(Surface Micromachining)來建立不同圖形的感測電路，以量測輸出特性[5][6]；而利用立體微細加工(Bulk Micromachining)可在矽晶圓上來製作高深寬比(aspect ratio)的結構，一般是使用非等向性濕蝕刻來製作[7]，其製造成本較低，但結構幾何形狀需配合晶格方向，若所需結構為一凸(Convex)圖形如島狀(mesa)結構，在蝕刻時(KOH)則常會因底切(undercut)緣故，而無法加工出所需的幾何形狀，因此在光罩設計上必須做適當的角落補償[8][9]。

電極材料系統的研究是另一項重要的課題，一般使用上是以白金為主，並先在矽基材上鍍上一層鈦，以增加白金的附著性。但由於壓電薄膜需退火處理成相，而高溫製程使得鈦會擴散到 PZT 薄膜，造成電性的劣化。若在金屬電極與壓電薄膜間加上一層氧化物電極，如錳酸鋇鏽[(La<sub>x</sub>Sr<sub>1-x</sub>)MnO<sub>3</sub>, LSMO]、鈷酸鋇鏽[(La<sub>x</sub>Sr<sub>1-x</sub>)CoO<sub>3</sub>, LSCO]等，不僅可以當作緩衝層提升材料介面特性，更可增加其電性之特質[10][11]。

本文將探討壓電薄膜材料之壓電特性及整體元件製程的規劃，整合表面微細加工及立體微細加工技術來製作轉換元件(transducer)與微結構，並在製作過程中，量測其材料特性與分析其

加工誤差，並試製加速度計，整合相關製程技術，以作為未來元件設計最佳化的依據。

### 微加速度計之設計與製造

#### 微加速度計之系統模擬

本文所研究的微加速度計是以四對稱樑支撐中央振動質塊，並在支撐樑上配置壓電薄膜位移轉換元件的設計，如圖 1及圖 2所示，而其系統轉移函數可表為(1)式所示[3][12]。

$$\frac{e_o(s)}{z_i(s)} = S_T \cdot G \cdot \frac{\pi}{\pi + 1} \cdot \frac{\omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (1)$$

其中  $S_T = \frac{3Md_{31}bhl^2(c_{11} - \nu c_{12})}{40EIC}$  為整體加速度

計的敏感度、 $\omega_n = \sqrt{K/M}$  為微結構的自然振動頻率、 $M$  為振動質塊質量、 $K$  為結構懸樑的彈性係數、 $\zeta$  為阻尼比、 $d_{31}$  為壓電薄膜的縱斷壓電常數(Transverse piezoelectric charge to stress ratio)、 $c$  為勁度係數(Stiffness coefficient)、 $\nu$  為矽的浦松比、 $E$  為矽的楊氏係數、 $I$  為矩形樑之斷面慣性矩、 $\tau$  為壓電轉換元件與放大電路的時間常數、 $C$  為等效電容、 $G$  為放大電路倍率。

依表 1之結構尺寸，振動質塊重量約為 0.27(mg)，所得之共振頻率約為 26 KHz，以典型 PZT 52/48 的材料性質計算未經電路放大之加速計敏感度為 0.025(mV/g)。

#### 微加速度計之製程規劃

整個微加速度計的製程概略包括材料鍍膜、光罩的設計、表面微細加工及立體微細加工，其結構完成圖及製作流程分別如圖 3所示。其中電極材料部份包括了鈦 (Ti)、氮化鈦 (TiN)、白金 (Pt) 及錳酸鋇鎳 (LSMO)，首先在電極圖形完成光阻微影後，用濺鍍法 (Sputtering) 將 Ti/TiN/Pt 鍍上，並用掀去法 (Lift-off) [13, pp14]完成所需的電極圖形，再將錳酸鋇鎳鍍上，利用硝酸 (HNO<sub>3</sub>) 蝕刻出電極圖形，即完成下電極。PZT 薄膜是採用溶膠-凝膠法(Sol-Gel)方式製作[14][15]，而其圖形蝕刻方式採用 Buffered Oxide Etching (BOE) 方式完成。上電極製作則先鍍上錳酸鋇鎳，光阻微影出上電極圖形後，再將 Ti/Pt 鍍上並利用掀去法完成所需金屬電極，再以完成之 Ti/Pt 作為阻擋層，利用硝酸蝕刻出錳酸鋇鎳之圖形。接下來以 KOH 進行背面振動質塊的蝕刻，再以反應式離子蝕刻(RIE) [13,pp62-66]正面支撐樑的圖案，完成整個微加速度計的製作。

由(1)式中我們可發現到材料的特性、放大電路、結構尺寸等對加速度計之敏感度有極大的影響，因此加工誤差自然影響元件之敏感度與準確性，測定加工誤差也是未來穩健化設計的首要工作[12]。

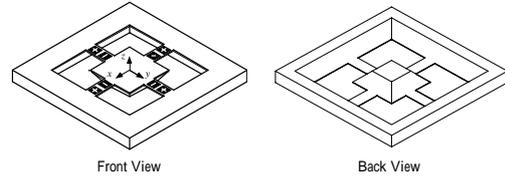


圖 1 懸樑型加速度微感測器三維示意圖

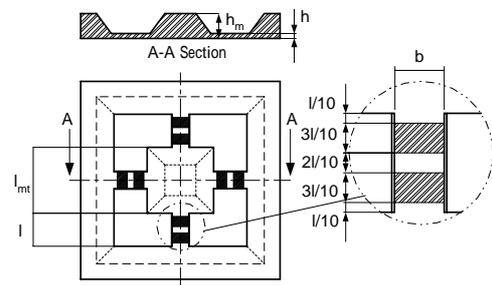


圖 2 微加速度計之結構

表 1 微加速度計之結構尺寸

Length of beam suspension	$l$	400 $\mu\text{m}$
Width of beam suspension	$b$	200 $\mu\text{m}$
Thickness of beam suspension	$h$	15 $\mu\text{m}$
Length of seismic mass	$l_M$	800 $\mu\text{m}$
Thickness of seismic mass	$h_M$	300 $\mu\text{m}$

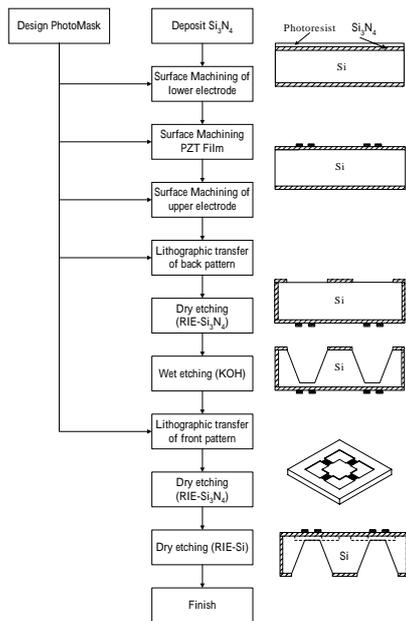


圖 3 微加速度計的製造流程

### 鍍膜技術與表面微細加工

本文中主要應用 Sol-Gel 來製備 LSMO 及 PZT 薄膜，並應用與水稀釋過的  $HNO_3$  及 B.O.E. 來蝕刻出所需的圖形。電極結構是利用濺鍍法配合掀去法來製作。而在矽基材之表面微細加工方面，則是採用 RIE 蝕刻阻擋層 ( $Si_3N_4$ ) 及正面矽懸樑結構。

#### 上下電極的設計與製作規劃

圖 4 為圖 2 中 PZT 轉換元件之上下電極的設計方式，其特點是將內部四個區域串連在一起，外部四個區域串連在一起，當振動產生時，內外兩片薄膜分別會落在拉伸區及壓縮區，當上下電極搭接在一起時，可增加感測的敏感度。同時藉由兩壓電材料的位置不同來補償非預期的訊號，如拉應力及溫度變化所產生的影響對於內外壓電薄膜將是同向，而藉由因內外的上下電極反接，而抵銷了對敏感度的干擾效應。

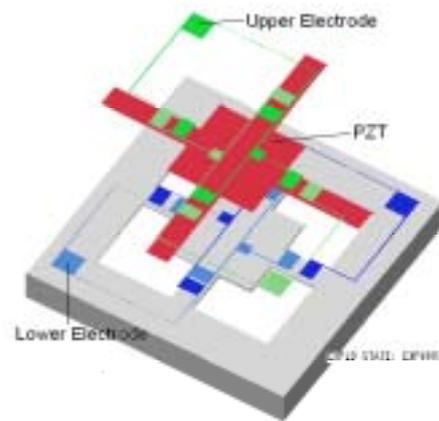


圖 4 微加速度計之上下電極設計爆炸圖

本研究採用 Ti/TiN/Pt 及 LSMO 作成雙電極之形式，Ti 可增加 Pt 與基材的介面特性，而 TiN 薄膜則可避免在高溫退火製程時，Ti 擴散到 Pt 進而影響到鋇鈦酸鉛 (PZT) 壓電薄膜特性。另外 LSMO 具有幾點特性，包括可防止高溫時基板與薄膜發生反應、本身可當長磊晶的介質及電極等。圖 5 為正面各層薄膜披覆的示意圖。

首先應用濺鍍 (Sputter) 分別將 Ti、TiN 及 Pt 鍍在已鍍有  $Si_3N_4$  之矽基材上，其參數如表 2。再利用掀去法方式完成 Ti/TiN/Pt 之下電極圖形，完成圖形如圖 6。之後再將晶片置於爐管中以  $400^\circ C$  退火 1 小時，以增加 Pt/TiN/Ti/ $Si_3N_4$ /Si 之間的附著性。上電極圖形亦類似程序完成，但因不再須高溫退火，故不必鍍上 TiN。

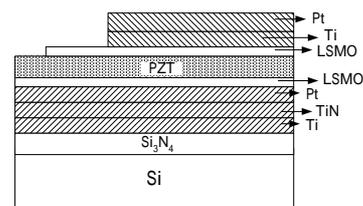


圖 5 各層薄膜披覆示意圖

表 2 Ti/TiN/Pt 電極 Sputtering 之鍍膜參數

Electrode	Gas	Pressure (torr)	Dc Power (W)
Ti	Ar	$8.5 \times 10^{-3}$	150
TiN	Ar : N = 6:1	$3.5 \times 10^{-2}$	100
Pt	Ar	$8.5 \times 10^{-3}$	150

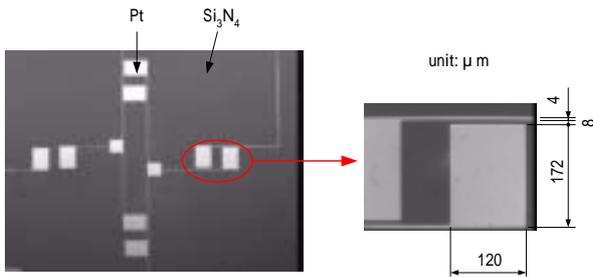


圖 6 Ti/TiN/Pt 下電極層

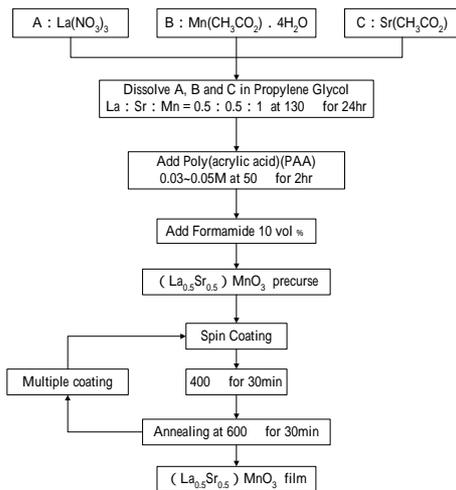


圖 7 LSMO 溶液製備及薄膜製作流程

錳酸鋇鎳的鍍膜與蝕刻製備 LSMO 預備溶液之流程如圖 7 所示。將製好 LSMO 預備溶液經旋鍍、400°C/30min 焦化(Pyrolysis)，將有機薄膜轉為無機薄膜，再經由 600°C/30min 退火 (Annealing) 使 LSMO 薄膜結晶化，若須多層披覆重覆旋鍍、焦化及退火等步驟。經由上述步驟所製成 LSMO 的膜厚，二層約為 200 nm，如圖 8 所示。

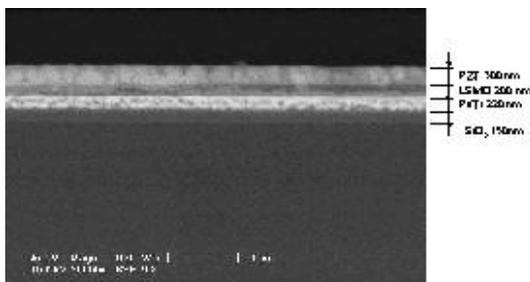


圖 8 LSMO (二層) 及 PZT (三層) 的膜厚斷面圖

錳酸鋇鎳的蝕刻則採用 HNO<sub>3</sub> 與 H<sub>2</sub>O 混合比例為 2:1 來進行，圖 9 為應用最小平方法分析之錳酸鋇鎳蝕刻速率，其蝕刻速率與標準差分別

為 176 Å/min 及 22 Å/min。由於濕式蝕刻方式會造成側向蝕刻的情形，可能因而造成連接電極的電路缺陷，因此準確地掌握蝕刻速率是相當重要的。

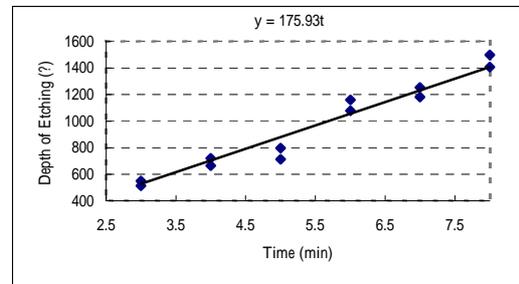


圖 9 HNO<sub>3</sub> 對 LSMO 之蝕刻速率圖

### 以溶膠-凝膠法 (Sol-Gel) 製備 PZT

溶膠-凝膠法是指將分散的膠體顆粒加以交鏈化或金屬先驅物 (precursor) 經水解 (hydrolysis)、聚合 (condensation) 而得到網狀結構體。以溶膠-凝膠法 (Sol-Gel) 製備 PZT，其流程如圖 10 所示。將製好 PZT 預備溶液經旋鍍、400°C/30min 焦化(Pyrolysis)將有機薄膜轉為無機薄膜，再經由 650°C 退火 30 分鐘，使 LSMO 薄膜結晶化。若須多層披覆，則重覆旋鍍、焦化等步驟，最後再作退火處理。經由上述步驟所製成 PZT 的膜厚，四層約為 400 nm，如圖 11 所示。而圖 12 PZT 的 SEM 顯示晶粒大小約為 0.25 μm。

但若有下電極圖形 (pattern) 存在，直接將 PZT 鍍上，則在圖形邊界處會產生裂痕。這可能是在作熱處理時，由於熱應力在邊界處集中，造成裂痕的產生。因此，若在鍍 PZT 之前，先鍍上一層 LSMO，不僅不會造成裂痕，其結晶性也相對變得較細緻。

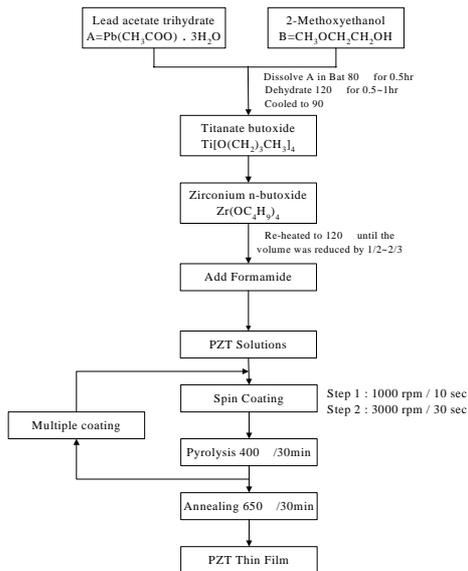


圖 10 PZT 溶液製備及薄膜製作流程

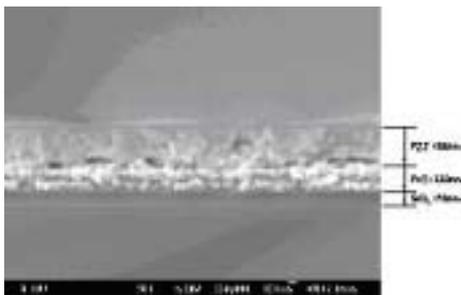


圖 11 PZT 的薄膜斷面圖 (四層)



圖 12 PZT 之結晶性 (PZT/Pt/Ti/SiO<sub>2</sub>/Si)

### PZT 薄膜的蝕刻

感測器的 PZT 圖形 (pattern) 如圖 4 紅色區域所示。常用的 PZT 蝕刻方式有以 SiCl<sub>4</sub> 氣體進行 RIE 及 B.O.E 蝕刻等，然而利用 SiCl<sub>4</sub> 氣體蝕刻會對 RIE 機台造成污染，且使用費用昂貴，因此本文採用 B.O.E 蝕刻 PZT。同樣地，以液相蝕刻液作腐蝕加工，會造成側向蝕刻的情形，因

此也必須準確地掌握蝕刻速率。圖 13 為將 B.O.E 與水稀釋為 20:1 蝕刻 PZT 薄膜之蝕刻速率，以最小平方差的迴歸方法可求出蝕刻速率及標準差分別為 239 Å/min 及 30 Å/min。

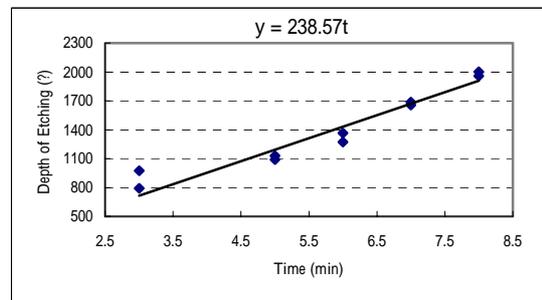


圖 13 B.O.E 蝕刻 PZT 之速率圖

### 矽基材之表面微細加工

在文中 Si<sub>3</sub>N<sub>4</sub> 主要是當作 KOH 濕蝕刻矽基材時之阻擋層及防止在高溫製程時 Ti 擴散到矽基材。而設計中加速度計振動質塊之支撐懸樑，是以蝕刻約 10~15 μm 之矽基材而成。其中 Si<sub>3</sub>N<sub>4</sub> 及 Si 懸樑的蝕刻方式便是採用 RIE 反應性離子蝕刻來進行。蝕刻過程所使用之氣體需視被蝕刻之材料而決定，當氣體以適當比例混合後，可得良好的蝕刻速率及蝕刻選擇性。表 3 為本研究所採用的 Si<sub>3</sub>N<sub>4</sub> 及 Si 的蝕刻製程參數，應用此參數所得之蝕刻速率如圖 14 及圖 15 所示。Si<sub>3</sub>N<sub>4</sub> 及 Si 的蝕刻速率分別為 627.5 Å/min 及 4288 Å/min。而 Si<sub>3</sub>N<sub>4</sub> 及 Si 蝕刻速率的標準差分別為 0.7 Å/min 與 184 Å/min。

表 3 RIE 蝕刻 Si<sub>3</sub>N<sub>4</sub> 與 Si 之製程參數

RIE 製程參數	蝕刻 Si <sub>3</sub> N <sub>4</sub>	蝕刻 Si
RF Power (W)	70	70
Pressure (Pa)	7.8	5
Gas	CF <sub>4</sub>	SF <sub>6</sub> +O <sub>2</sub>
Flow (sccm)	50	20+2

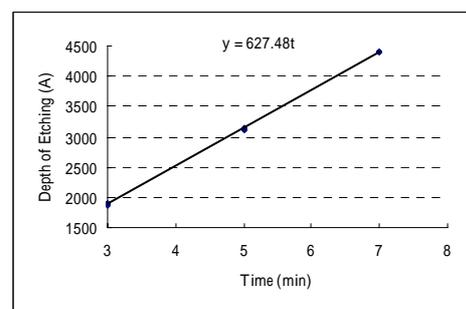


圖 14 RIE 蝕刻 Si<sub>3</sub>N<sub>4</sub> 之速率圖

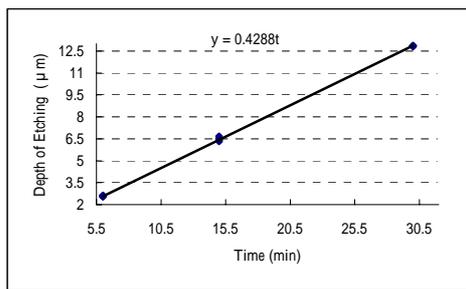


圖 15 RIE 蝕刻 Si 之速率圖

### 微加速度計之立體微細加工

#### 光罩角落補償

由於等向性蝕刻液無法蝕刻成深寬比 (aspect ratio) 較大的矽微結構，故在本設計中的背面微結構將採用 KOH 非等向蝕刻。在背面蝕刻島狀結構 (mesa)，會造成所謂底切的產生，主要是因為對在  $\langle 100 \rangle$  矽晶圓上，沿著主切邊  $\langle 110 \rangle$  方向所定義之方形島塊圖形，在浸入非等向性蝕刻液之後，不僅非島塊部份的  $\{100\}$  矽晶面被腐蝕，而漸漸露出腐蝕率最慢的  $\{111\}$  斜坡面，方形島塊之四個尖點角也無法留存下來，這是歸因於兩個  $\{111\}$  平面相交之稜線所在，是所謂晶面不確定的位置，很容易被 KOH 所蝕刻而消失，如圖 16 所示。

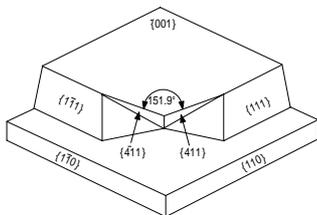


圖 16 以 KOH 蝕刻後各晶面底切情況

因此若要以非等向性濕蝕刻得到島狀結構，即必須從光罩圖形上來進行補償。其補償圖形與蝕刻深度有極密切的關係，大致可分為  $\langle 100 \rangle$  延伸法及  $\langle 110 \rangle$  延伸法兩種，而本文採用 Sandmaier 等 [17] 提出的如圖 17 左上角所示之圖形，其可有效解決空間限制及島狀結構太小的問題。本研究的微加速度計之光罩補償圖形即以此為基礎。

#### 蝕刻結果與模擬比較

加速度計背面質塊結構以  $300 \mu\text{m}$  晶圓的蝕刻深度為  $285 \sim 290 \mu\text{m}$ 。由於蝕刻溫度愈高越容易提供打斷各晶格面上鍵結所需的能量，因而蝕刻速率也越快。但造成蝕刻液之濃度較不影響蝕刻速率，因此無法準確地控制其蝕刻速率 [16]。在衡量蝕刻精度與製程時間，本研究採用溶液溫度  $70^\circ\text{C}$ 、濃度 20% (重量百分比) 的氫氧化鉀 (KOH)。

圖 17 為蝕刻 4 小時 43 分後的圖形，(a) 圖為補償尺寸及利用 IntelliSuite 模擬結果，(b) 圖為實驗結果。其蝕刻深度為  $245 \mu\text{m}$ ，但小於所須要的蝕刻深度  $285 \sim 290 \mu\text{m}$ ，島狀外型以明顯可見，但角落仍有底切現象發生，很顯然地對於所補償尺寸仍須調整，因此未來可應用兩種方式來處理：

1. 從圖 17 中可得知，主要是因為  $\langle 110 \rangle$  方向之補償不夠，因此針對  $\langle 110 \rangle$  方向必須再增加補償尺寸。圖 18(a) 為其加長補償尺寸及利用 IntelliSuite 軟體模擬結果。圖 18 (b) 之實驗結果及其蝕刻深度為  $285.4 \mu\text{m}$ ，但對於其底部有殘餘部份，可能是因為正方形補償尺寸太大。
2. 在氫氧化鉀中加入異丙醇 (isopropyl alcohol)，則其  $\langle 110 \rangle$  之速率會變慢 [16]，如圖 19 所示為每一公升氫氧化鉀加入 250 ml 異丙醇 (蝕刻兩小時之比較)，圖 19 (a) 為加入異丙醇，圖 19 (b) 為原先的 KOH 蝕刻，可發現到  $\langle 110 \rangle$  方向幾乎沒受到蝕刻。

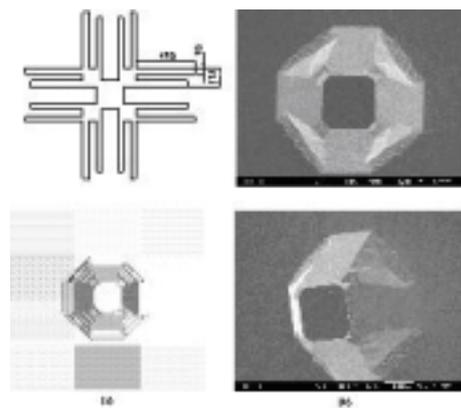


圖 17 蝕刻 4 小時 43 分後之結果 (KOH 20%,  $70^\circ\text{C}$ )

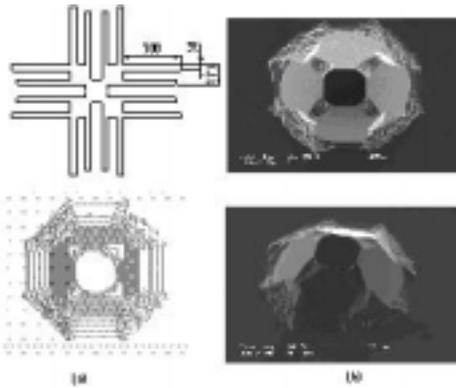


圖 18 蝕刻 5 小時 29 分之結果 (KOH 20%，70°C)

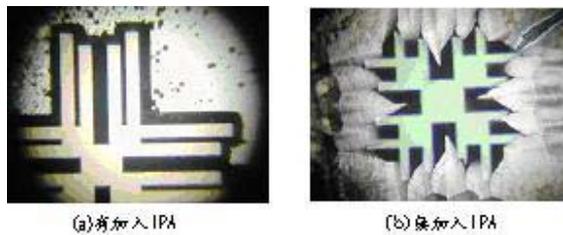


圖 19 KOH 加入異丙醇之比較 (蝕刻兩小時)

### 微加速度計之材料特性量測

#### X-ray 繞射分析

在本實驗中，鈦鉛酸鉛前置溶液利用旋鍍方式經去水、焦化等過程重複二次，再將試片直接放入爐管內，其爐管退火溫度分別用 600°C 及 650°C，時間 30 分鐘。圖 20 為製備鈦鉛酸鉛之 X 光繞射圖，從圖中可看出鈦鉛酸鉛的繞射值在 22.023°、31.387° 及 44.917° 分別為 <100>、<110> 及 <200> 等晶面較為明顯。而從圖中可發現以溫度 650°C 退火所得之薄膜比 600°C 退火之繞射峰值高。而加上錳酸鋇鍍，其不僅可當成一緩衝層外，更可增加 PZT 晶粒的成長，從圖 20 與圖 21 之比較，可清楚發現有鍍上錳酸鋇鍍之晶面繞射峰值更為提昇。

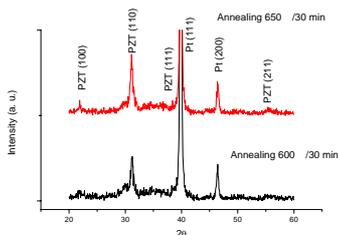


圖 20 PZT 爐管退火溫度 (600°C 及 650°C/30min) 之 X-光繞射圖 (PZT/Pt/Ti/SiO<sub>2</sub>/Si)

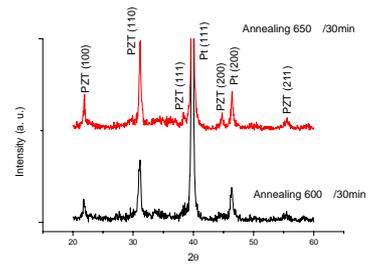


圖 21 PZT 爐管退火溫度 (600°C 及 650°C/30min) 之 X-光繞射圖 (PZT/LSMO/Pt/Ti/SiO<sub>2</sub>/Si)

#### 電滯曲線 (Hysteresis loop) 和疲勞特性分析

我們使用 1 kHz 的 single、電場大小約為 450 kV/cm 來量測其電滯特性[18]，包括殘留極化值 (remanent polarization,  $P_r$ )、矯頑電場 (coercive electric field,  $E_c$ ) 及相對介電常數 (dielectric constant,  $K$ )。圖 22 為其爐管退火溫度 600°C 及 650°C/時間 30 分鐘之電滯曲線，由圖中可清楚知道以 650°C 退火比 600°C 的電滯特性較佳。因此建議以 650°C 為製程，圖 23 為鍍上錳酸鋇鍍，作為雙電極形式，可與圖 22 比較，由原來未鍍上錳酸鋇鍍之  $P_r$  為 9.83  $\mu\text{C}/\text{cm}^2$ ，其提昇到 15.47  $\mu\text{C}/\text{cm}^2$ ， $k$  值也由原來的 1310，提昇到 3898。

圖 24 為其疲勞特性分析 ( $1 \times 10^8$  循環，電場大小約為 450 kV/cm)，我們發現鍍上錳酸鋇鍍之基材，其疲勞特性更為提昇，說明錳酸鋇鍍除可當緩衝層及電極外，更可增加鈦鉛酸鉛之疲勞特性，提升元件的可靠度。

### 結論

本研究結合表面微細加工及立體微細加工成功的製作出四根對稱懸樑微加速度計的結構原型。並找出適當之製程參數與在相對的加工誤差參數，可作為日後穩健化設計的參考。在鈦鉛酸鉛薄膜的應用上，實驗結果顯示下電極若有圖形，直接將鈦鉛酸鉛鍍上，則會造成裂痕，因此再鍍鈦鉛酸鉛前，先鍍上錳酸鋇鍍可避免裂痕的產生，更可增加鈦鉛酸鉛之電性及疲勞特性。另外因 KOH 蝕刻的底切現象，所設計的光罩補償，本文利用 IntelliSuite 軟體來模擬補償的結果與實驗結果相近，而本文也初步完成島狀結構的加工，可作為日後補償最佳化設計之參考。

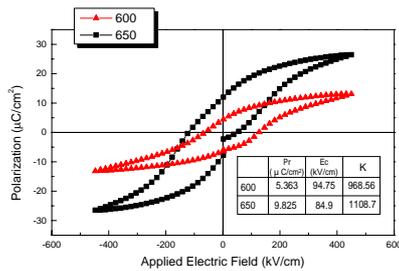


圖 22 PZT 退火溫度 (600°C 及 650°C/30min) 之電滯曲線 (PZT/Pt/Ti/SiO<sub>2</sub>/Si)

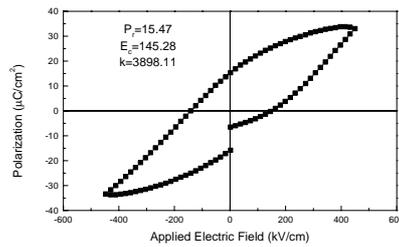


圖 23 PZT 退火溫度 (650°C/30min) 之電滯曲線 (PZT/LSMO/Pt/Ti/SiO<sub>2</sub>/Si)

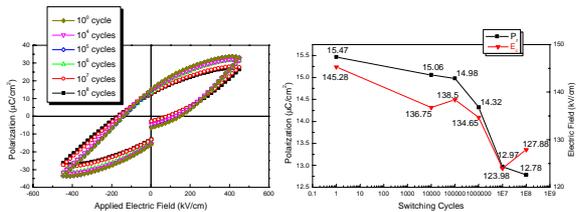


圖 24 PZT 退火溫度 (650°C/30min) 之疲勞特性 (PZT/LSMO/Pt/Ti/SiO<sub>2</sub>/Si)

### 誌謝

本研究承蒙國科會計劃編號 NSC 89-2218-E-011-039 支持，及高速電腦中心提供分析模擬軟體與計算機資源，特誌謝意。

### 參考文獻

[1] Chen, H., Shen, S. and Bao, M., "Over-range capacity of a piezoresistive microaccelerometer", *Sensors and Actuators, A: Physical*, v 58, n 3, Mar 1997, pp 197-201.

[2] Tay, F., Jun, X., Liang, Y., Logeeswaran, V. and Yufeng, Y., "Effects of Non-Parallel Plates in a Differential Capacitive Microaccelerometer", *Journal of Micromechanics and Microengineering*, 9, 4, Dec 1999, pp. 283-293.

[3] Yu, J. and Lan, C., "System Modeling of Microaccelerometer Using Piezoelectric Thin films", *Sensors and Actuators*, A88, 2001, pp178-186.

[4] Scheeper, P., Gullov, J.O. and Kofoed, L.M., "A Piezoelectric Triaxial Accelerometer", *J. Micromech. Microeng.*, 6, 1996, 131-133.

[5] James, M., Roger, T., and Richard, S., "Surface Micromachining for Microelectromechanical Systems", *Proceedings of the IEEE*, Vol. 86, No. 8, August 1998, pp1552-1573.

[6] Loechel, B., "Surface Micromachining", *The Electrochemical Society Interface*, 1995, pp43-47.

[7] Gregory, T., Nadim, I., and Kurt, E., "Bulk Micromachining of Silicon", *Proceedings of the IEEE*, Vol.86, No. 8, August 1998, pp1536-1551.

[8] Park, Sangjun, Lee, S., Yi, S. and Cho, D., "Mesa-Supported, Single-crystal Microstructures Fabricated by the Surface/Bulk Micromachining Process", *Jpn. J. Appl. Phys.*, Vol. 38, Part1, No. 7A, 1999, pp4244-4249.

[9] Than, O. and Buttgenbach, S., "Simulation of Anisotropic Chemical Etching of Crystalline Silicon Using a Cellular Automata Model", *Sensors and Actuators*, A45, 1994, pp85-89.

[10] Taguchi, H., Matsuda, D., Nagao, M., "Surface Characterization of (La<sub>1-x</sub>Sr<sub>x</sub>)MnO<sub>3</sub> Synthesized Using a Sol-Gel Process and Solid-State Reaction", *Journal of Materials Science Letters*, 14, 1995, pp12-14.

[11] Wang, Fan and Leppavuori, S., "Properties of Epitaxial Ferroelectric PbZr<sub>0.56</sub>Ti<sub>0.44</sub>O<sub>3</sub> Heterostructures with La<sub>0.5</sub>Sr<sub>0.5</sub>CoO<sub>3</sub> Metallic Oxide Electrodes", *J. Appl. Phys.*, 82 (3), August 1997, pp1293-1298.

[12] 賴富信、余志成，"壓電薄膜微加速度計之設計系統模擬與頻率響應穩健化"，中國機械工程學會第十七屆全國學術研討會，新興工程技術論文集，Dec. 8-9, 2000，高雄第一科技大學(NSC 89-2210-E-011-027)

[13] Madou, M., *Fundamentals of Microfabrication*, CRC Press, New York, 1997.

[14] Wu, A., Paula, M., Isabel, M. and Joao, L., "Sol-Gel Preparation of Lead Zirconate Titanate Powders and Ceramics: Effect of Alkoxide Stabilizers and Lead Precursors", *J. Am. Ceram. Soc.*, 83(6), 2000, pp.1379-1385.

[15] Rajnish, K. and Steven, J., "Characterization of Sol-Gel Pb(Zr<sub>0.53</sub>Ti<sub>0.47</sub>)O<sub>3</sub> Films in the Thickness Range 0.25-10  $\mu\text{m}$ ", *J. Mater. Res.*, Vol. 14, No. 5, May 1999, pp. 1852-1859.

[16] Seidel, H., Csepregi, L., Heuberger, A. and Baumgatel, H. "Anisotropic Etching of Crystalline Silicon in Alkaline Solutions-Part I. Orientation Dependence and Behavior of Passivation Layers", *Journal of the Electrochemical Society*, Vol. 137, No.11, 1990, pp. 3612-3626.

[17] Sandmaier, H., Offereins, H., Kuhl, K. and Lang, W., "Corner Compensation Techniques in Anisotropic Etching of (100)-Silicon Using Aqueous KOH", *Transducers, San Francisco*, 1991, pp. 456-459.

[18] Xu, Y., *Ferroelectric Materials and Their Applications*, North-Holland, New York, 1991, pp 10.

## FABRICATION PLANNING AND STUDY OF THE MICROACCELEROMETER USING PIEZOELECTRIC THIN FILM

Hsing-Fong Lee and Jyh-Cheng Yu

*Department of Mechanical Engineering  
National Taiwan University of Science and Technology  
Taipei, Taiwan 106, R.O.C.*

### Abstract

This paper addresses the planning and the integration of the fabrication procedures of the microstructure of a microaccelerometer using piezoelectric film. The microsensor adopts a quadri-beam suspension to support the mesa-type seismic mass. The study explores the parameter settings of the related fabrication processes including the film formation, surface and bulk micromachinings. We deposit the Ti/TiN/Pt film on the  $\text{Si}_3\text{N}_4/\text{Si}$  structure and use the lift-off process to fabricate the pattern of the lower electrode. The  $\text{La}_{0.5}\text{Sr}_{0.5}\text{MnO}_3$  (LSMO) and  $\text{PbZr}_{0.52}\text{Ti}_{0.48}\text{O}_3$  (PZT) films are coated using the sol-gel techniques. The LSMO and the Pt films form a double-layered electrode. The patterns of the LSMO electrode and the PZT thin film are chemically etched using  $\text{HNO}_3$  and B.O.E. The material system of the final thin films transducer is consisted of Pt/Ti/LSMO/PZT/LSMO/Pt/TiN/Ti/ $\text{Si}_3\text{N}_4/\text{Si}$ . The mesa microstructure is formed using KOH etching. Finally we apply RIE to obtain the quadri-beam suspension. This study also explores pertinent corner compensation techniques to reduce undercut. The experimental results are compared with the simulation results using IntelliSuite. The good correlation demonstrates the potential application of Intellisuit to the design of the masking layer for convex structures. The study completes the fabrication of the microstructure, and measures the hysteresis characteristics of the piezoelectric film. The dimensional errors of the structure are also investigated for the future application of robust design.

Keywords: Micromachining 、 LSMO 、 Corner compensation 、 Sol-Gel 、 IntelliSuite